

Musterlösung zur Klausur

Technische Informatik II

vom 4. 9. 2002

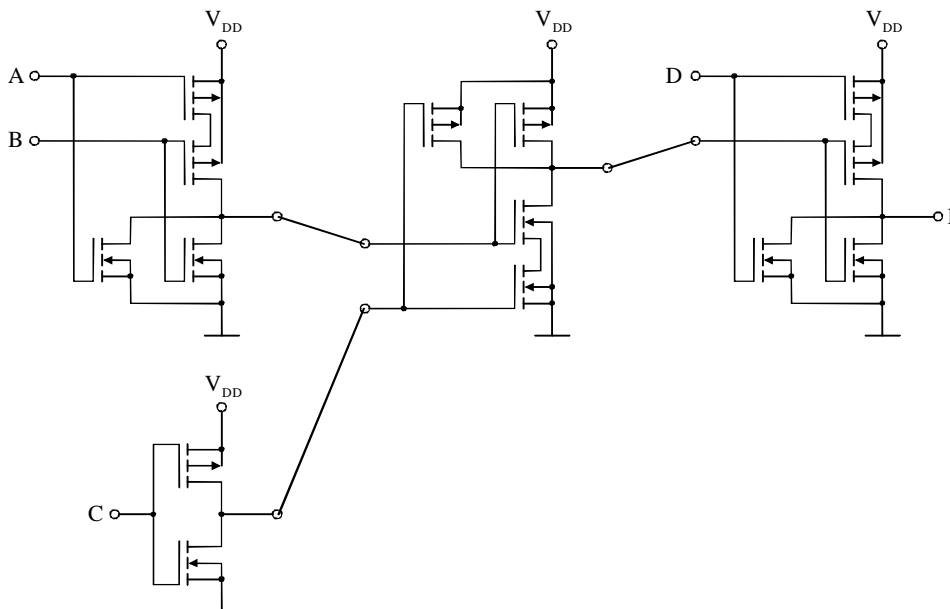
IDA
1. 10. 2002

II-1 LOGIKSCHALTUNG

- a) Erstellen Sie die vollständige Funktionstabelle in positiver Logik. Geben Sie dabei auch die jeweiligen Zustände der Zwischenstufen Fa, Fb und Fc an.

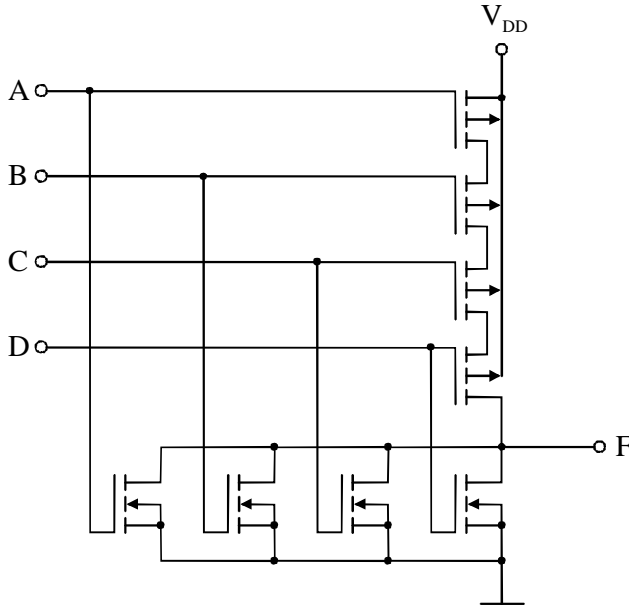
A	B	C	D	Fa	Fb	Fc	F
0	0	0	0	1	1	0	1
0	0	0	1	1	1	0	0
0	0	1	0	1	0	1	0
0	0	1	1	1	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	0
0	1	1	0	0	0	1	0
0	1	1	1	0	0	1	0
1	0	0	0	0	1	1	0
1	0	0	1	0	1	1	0
1	0	1	0	0	0	1	0
1	0	1	1	0	0	1	0
1	1	0	0	0	1	1	0
1	1	0	1	0	1	1	0
1	1	1	0	0	0	1	0
1	1	1	1	0	0	1	0

- b) Zeichnen Sie die Schaltung in CMOS-Technik auf Transistorbasis genau nach der vermaschten Anordnung in Bild 1-1. Zeichnen Sie dabei auch den doppelt vorhandenen Gattertypen in beiden Fällen vollständig.



- c) Konstruieren Sie ein funktionsgleiches einstufiges CMOS-Gatter. Geben Sie dabei die Formeln für die aus der Vorlesung bekannten p- und n-Blöcke an. Zeichnen Sie die Schaltung vollständig.

$$f_p = \overline{A} \wedge \overline{B} \wedge \overline{C} \wedge \overline{D}, \quad f_n = A \vee B \vee C \vee D$$

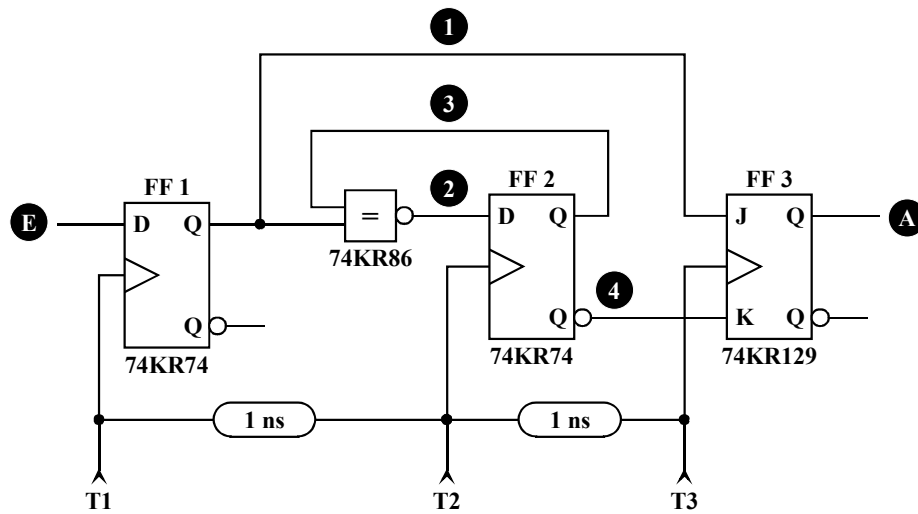


- d) Erstellen Sie für das CMOS-Gatter aus Bild 1-2 die vollständige Funktionstabelle. Welche Bedeutung hat hier das Eingangssignal B?

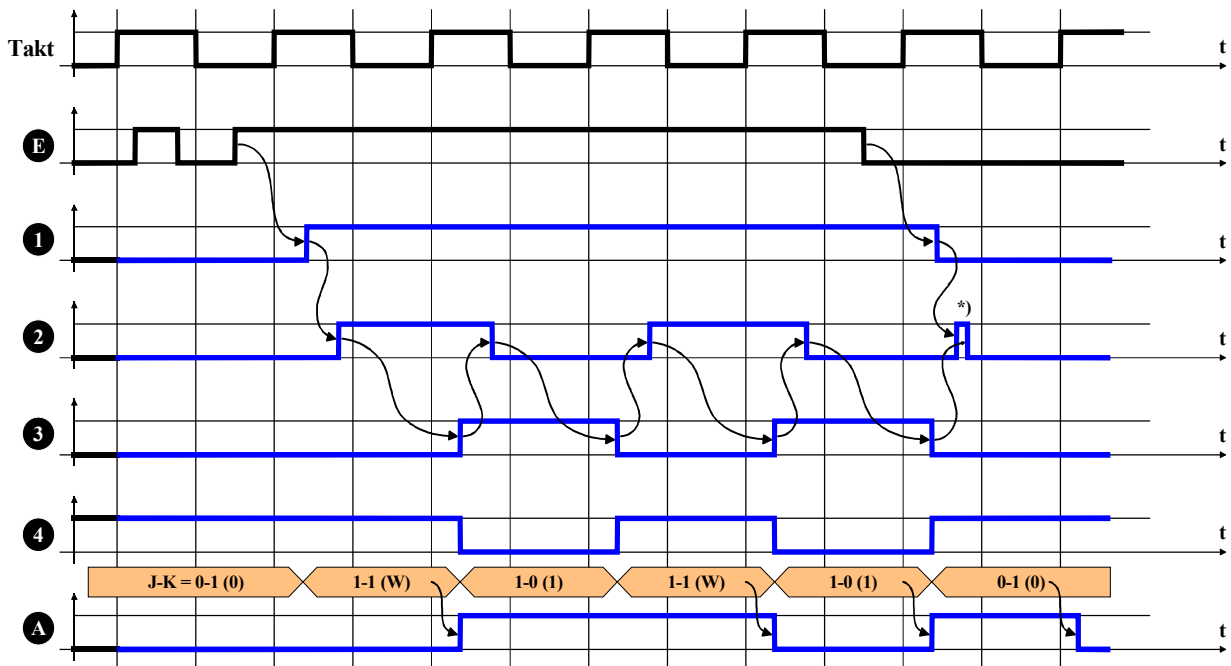
A	B	F
0	0	Z
0	1	1
1	0	Z
1	1	0

Es handelt sich hier um ein „Tristate-Gatter“. B ist das Freigabesignal für den Ausgang F (Enable). Wenn B auf 0 liegt, sperren sowohl der n-Block als auch der p-Block, letzterer über einen hierfür benötigten zusätzlichen Inverter. Liegt B auf 1, haben wir die Funktion eines Inverters mit dem Eingangssignal A.

II-2 SCHALTUNG MIT FLIP-FLOPS



- a) Vervollständigen Sie die Signalverläufe im Bild 1-2. Nehmen Sie dabei eine einheitliche Verzögerungszeit der Gatter an ($t_{pd} \approx 0,2 t_{cycle}$). Der Takt-Skew sei zu vernachlässigen. Die Schaltung sei funktionstüchtig.



*) kein Punktabzug für fehlenden Störpuls („Glitch“)

b) Überprüfen Sie die Funktionstüchtigkeit der Schaltung für alle drei Fälle der Takteinspeisung bei T1, T2 und T3.

$$t_{pdDmin} + t_{pdSmin} - t_{hold} - t_{skew} \geq 0$$

Takteinspeisung in **T1:**

FF 1 → FF 2:

$$t_{pdDmin}(74) + t_{pdSmin}(86) - t_{hold}(74) - t_{skew}(+1) = 1,2ns + 0,6ns - 0,2ns - 1,0ns = 0,6ns \checkmark$$

FF 1 → FF 3:

$$t_{pdDmin}(74) - t_{hold}(129) - t_{skew}(+2) = 1,2ns - 0,3ns - 2,0ns = -1,1ns \otimes$$

FF 2 → FF 2:

$$t_{pdDmin}(74) + t_{pdSmin}(86) - t_{hold}(74) = 1,2ns + 0,6ns - 0,2ns = 1,6ns \checkmark$$

FF 2 → FF 3:

$$t_{pdDmin}(74) - t_{hold}(129) - t_{skew}(+1) = 1,2ns - 0,3ns - 1,0ns = -0,1ns \otimes$$

Takteinspeisung in **T2:**

FF 1 → FF 2:

$$t_{pdDmin}(74) + t_{pdSmin}(86) - t_{hold}(74) - t_{skew}(-1) = 1,2ns + 0,6ns - 0,2ns + 1,0ns = 2,6ns \checkmark$$

FF 1 → FF 3:

$$t_{pdDmin}(74) - t_{hold}(129) = 1,2ns - 0,3ns = 0,9ns \checkmark$$

FF 2 → FF 2:

Siehe T1: 1,6ns ✓

FF 2 → FF 3:

Siehe T1: -0,1ns ⊗

Takteinspeisung in **T3:**

FF 1 → FF 2:

Siehe T2: 2,6ns ✓

FF 1 → FF 3:

$$t_{pdDmin}(74) - t_{hold}(129) - t_{skew}(-2) = 1,2ns - 0,3ns + 2,0ns = 2,9ns \checkmark$$

FF 2 → FF 2:

Siehe T1: 1,6ns ✓

FF 2 → FF 3:

$$t_{pdDmin}(74) - t_{hold}(129) - t_{skew}(-1) = 1,2ns - 0,3ns + 1,0ns = 1,9ns \checkmark$$

Die Schaltung arbeitet nur einwandfrei, wenn der Takt in T3 eingespeist wird!

- c) Bestimmen Sie die maximale Taktfrequenz f_{\max} , mit der die Schaltung betrieben werden kann. Der Einspeisepunkt für den Takt sei frei wählbar.

$$t_{\text{cycl, min}} \geq t_{\text{pdDmax}} + t_{\text{pdSmax}} + t_{\text{setup}} - t_{\text{skew}}$$

Die Skew-Bedingung ist nur für Takteinspeisung in T3 erfüllt:

FF 1 → FF 2:

$$t_{\text{pdDmax}}(74) + t_{\text{pdSmax}}(86) + t_{\text{setup}}(74) - t_{\text{skew}}(-1) = 4,5\text{ns} + 2,2\text{ns} + 1,2\text{ns} + 1,0\text{ns} = \mathbf{8,9\text{ns}}$$

FF 1 → FF 3:

$$t_{\text{pdDmax}}(74) + t_{\text{setup}}(129) - t_{\text{skew}}(-2) = 4,5\text{ns} + 1,5\text{ns} + 2,0\text{ns} = 8,0\text{ns}$$

FF 2 → FF 2:

$$t_{\text{pdDmax}}(74) + t_{\text{pdSmax}}(86) + t_{\text{setup}}(74) = 4,5\text{ns} + 2,2\text{ns} + 1,2\text{ns} = 7,9\text{ns}$$

FF 2 → FF 3:

$$t_{\text{pdDmax}}(74) + t_{\text{setup}}(129) - t_{\text{skew}}(-1) = 4,5\text{ns} + 1,5\text{ns} + 1,0\text{ns} = 7,0\text{ns}$$

Der minimale Zyklus ergibt sich aus dem Maximum obiger Zeiten:¹

$$t_{\text{cycl, min}} = \max(8,9\text{ns}, 8,0\text{ns}, 7,9\text{ns}, 7,0\text{ns}) = 8,9\text{ns}$$

$$\rightarrow f_{\max} = \frac{1}{t_{\text{cycl, min}}} \approx 112\text{MHz}$$

¹ Es müssen nicht alle Pfade bestimmt werden. Es reicht, den kritischen Fall (hier FF 1 → FF 2) zu begründen und zu berechnen.