

# **Musterlösung zur Klausur**

## **Technische Informatik II**

**vom 18. 9. 2001**

**IDA  
10. 9. 2001**

## MOS-Transistor

**a) Bestimmen Sie grafisch den Arbeitspunkt des Transistors T.**

Wegen  $I_G = 0$  ergibt sich  $U_{GS}$  einfach aus der Spannung am Spannungsteiler mit  $R_1$  und  $R_2$ :

$$U_{GS} = U_B \cdot \frac{R_2}{R_1 + R_2} = -18V \cdot \frac{200k\Omega}{1M\Omega + 200k\Omega} = -3V$$

Die Arbeitsgerade am Ausgangskreis kann durch die Wertepaare für Leerlaufspannung und Kurzschlußstrom von  $U_B$  und  $R_3$  ermittelt werden:

$$I_{KS} = \frac{U_B}{R_3} = \frac{-18V}{200\Omega} = -90mA$$

Leerlaufspannung:  $[-18 V, 0 mA]$

Kurzschlußstrom:  $[0 V, -90 mA]$

Der Arbeitspunkt wird am Schnittpunkt von der Arbeitsgeraden mit der Ausgangskennlinie des Transistors für  $U_{GS} = -3 V$  abgelesen:

Arbeitspunkt (AP):  $[-10,2 V, -40 mA]$

**b) Bestimmen Sie grafisch die Spannungsverstärkung A für eine Aussteuerung des Eingangssignals um  $DU_E = 1 V (\pm 0,5 V)$ .**

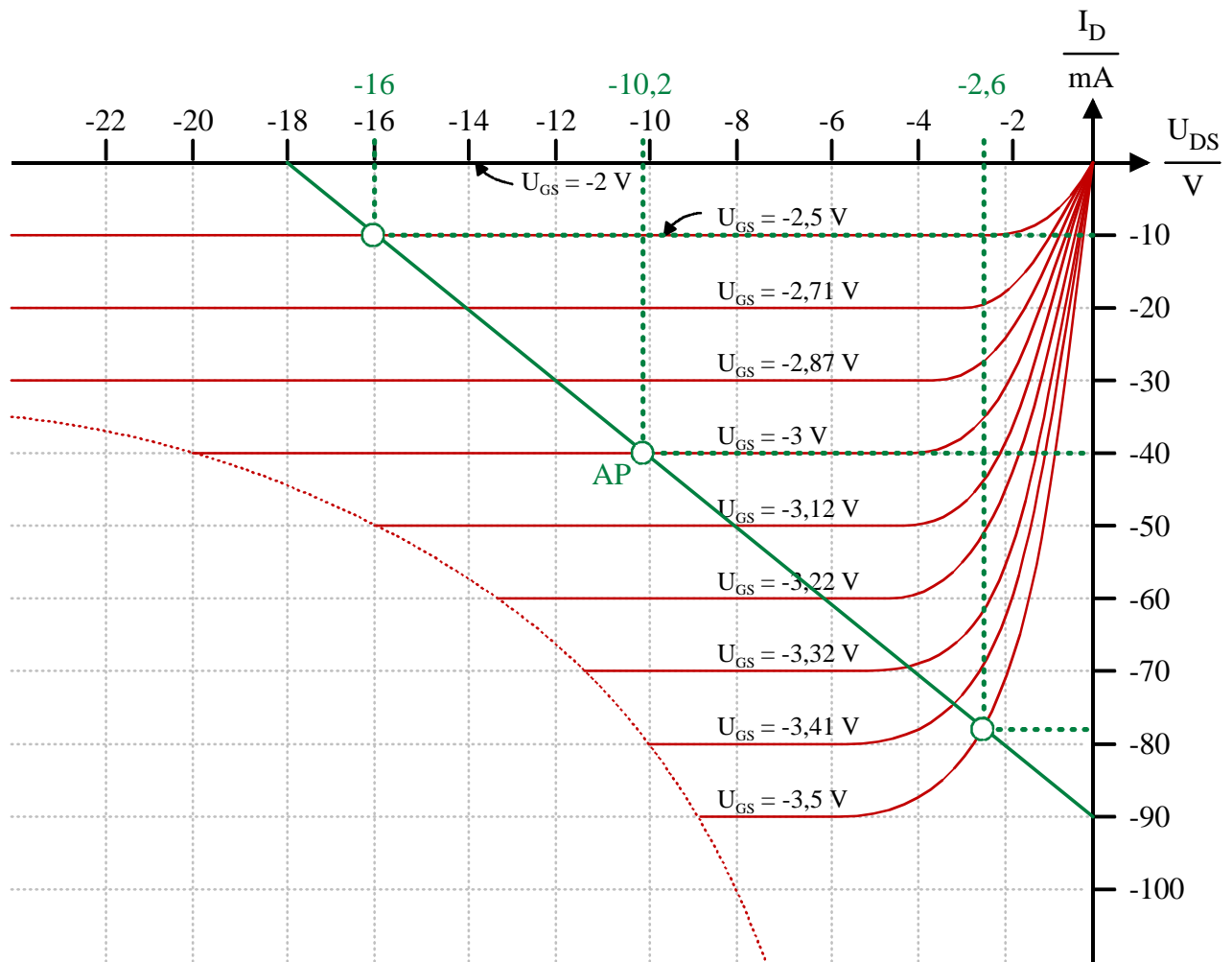
Zwei weitere Schnittpunkte werden benötigt:

$$U_{GS,1} = -3 V - 0,5 V = -3,5 V \rightarrow U_{DS,1} = -2,6 V$$

$$U_{GS,2} = -3 V + 0,5 V = -2,5 V \rightarrow U_{DS,2} = -16 V$$

Die Spannungsverstärkung ergibt sich zu

$$A = \frac{U_{DS,2} - U_{DS,1}}{U_{GS,2} - U_{GS,1}} = \frac{-16V - -2,6V}{-2,5V - -3,5V} = -13,4$$



- c) Für den Transistor gelte  $\mu_p \cdot c_{OX} = 0,4 \frac{\text{mA}}{\text{V}^2}$ . Ermitteln Sie  $U_t$  sowie das Verhältnis  $\frac{w}{l}$  des MOS-Transistors an Hand der Ausgangskennlinien im Sättigungsbereich.

Für den Sättigungsbereich gilt:

$$I_D = -\frac{w}{l} \cdot \mu_p c_{OX} \cdot \frac{1}{2} \cdot (U_{GS} - U_t)^2$$

Für  $U_{GS,0} = U_t$  ist  $I_D = 0$ .

→ Ablesen an der Ausgangskennlinie für  $I_D = 0 \rightarrow U_t = U_{GS,0} = -2 \text{ V}$

Mit einer beliebigen Ausgangskennlinie (z. B.  $U_{GS} = -3 \text{ V}$ ,  $I_D = -40 \text{ mA}$ ) lässt sich  $\frac{w}{l}$  berechnen:

$$\frac{w}{l} = \frac{I_D}{-\mu_p c_{OX} \cdot \frac{1}{2} \cdot (U_{GS} - U_t)^2} = \frac{-40 \text{ mA}}{-0,4 \frac{\text{mA}}{\text{V}^2} \cdot \frac{1}{2} \cdot (-3 \text{ V} - (-2 \text{ V}))^2} = 200$$

- d) **Der Transistor befinde sich im Sättigungsbereich. Wie groß sind die differentiellen Ein- ( $r_E$ ) und Ausgangswiderstände ( $r_A$ ) der Schaltung?**

$$r_E = R_1 \parallel R_2 \parallel r_{GS} = R_1 \parallel R_2 = \frac{R_1 \cdot R_2}{R_1 + R_2} \approx 167\text{k}\Omega, \quad \text{da } r_{GS} = \infty \text{ (MOS-Transistor).}$$

$$r_A = R_3 \parallel r_{DS} = R_3 = 200\Omega, \quad \text{da } r_{DS} = \infty \text{ (Sättigungsbereich).}$$

- e) **Warum enden einige der Kennlinien an der gestrichelt dargestellten Kurve? Welchen physikalischen Wert kann man daran ablesen? Wie groß ist er im vorliegenden Fall?**

Die Kennlinien enden an einer Verlustleistungs-Hyperbel. Bei Überschreitung kann der Transistor thermisch zerstört werden. Abzulesen sind hier ca. 800 mW.

## Aufgabe 1

- a) Erstellen Sie die vollständige Funktionstabelle in positiver Logik. Beschreiben Sie die Funktion der Schaltung mit dem zugehörigen algebraischen Ausdruck.

Geben Sie auch den nach dem De Morganschen Gesetz umgeformten Ausdruck an.

A	B	C	F
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

$$F = \overline{A} \wedge \overline{C} \vee B$$

Sowie entweder B auf logisch „1“ ( $V_{DD}$ ) liegt oder A und C gemeinsam auf „0“ (Masse) liegen, leitet der n-Block und der p-Block des Gatters sperrt. Da der Ausgang nochmals invertiert wird, liegt F für diese Fälle dann auf logisch „1“.

Erkennbar ist dies am einfachsten anhand der Serien- bzw. Parallelschaltung der Transistoren im n- und im p-Block.

Nach De Morgan ergibt sich:

$$F = \overline{(A \vee C) \wedge \overline{B}} \quad \text{oder} \quad \overline{F} = (A \vee C) \wedge \overline{B}.$$

- b) Wieviele Stufen sind im ungünstigsten Fall für eine Signalverzögerung verantwortlich? Was sind dabei die Signalpfade?

Signale von den Eingängen A oder C benötigen jeweils drei Stufen bis zum Ausgang F.

**Ließen sich durch Schaltungsänderungen Verbesserungen in Bezug auf Geschwindigkeit und Anzahl der verwendeten Transistoren erzielen? Geben Sie mögliche Verbesserungen an.**

Ja. Durch Umformung nach De Morgan könnten die drei Inverter an A, C und F durch einen einzigen Inverter an B ersetzt werden. Serien- und Parallelschaltung der n- und p-Blöcke müssten dazu getauscht werden.

Die Verzögerung von B nach F bliebe zwar zweistufig. Von A oder C nach F würde man statt drei aber nur noch eine Stufe benötigen.

c) Gegeben ist die Funktion  $F = \overline{\overline{A} \wedge (B \vee C)}$

Konstruieren Sie dafür eine Schaltung, die mit möglichst wenigen Transistoren auskommt. Geben Sie dabei die Formeln für die aus der Vorlesung bekannten p- und n-Blöcke an. Zeichnen Sie die Schaltung vollständig.

p-Block:  $f_{p=} A \vee \overline{B} \wedge \overline{C}$

n-Block:  $f_{N=} \overline{\overline{A} \wedge (B \vee C)}$

A benötigt einen Inverter, um den Vorgaben zur Konstruktion zu entsprechen. Im p-Block werden dann B mit C in Reihe geschaltet und A (invertiert) parallel dazu. Im n-Block dann umgekehrt: B mit C parallel und mit A (invertiert) in Reihe.

