

Musterlösungen zur Klausur

Technische Informatik II/III

vom 9. 3. 1998

**IDA
10. 3. 1998**

Aufgabe 1

- a) Erstellen Sie die vollständige Wahrheitstabelle in positiver Logik. Beschreiben Sie die Funktion der Schaltung mit dem zugehörigen algebraischen Ausdruck.

A	B	C	F
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

$$F = \bar{A} \vee B \vee \bar{C}$$

Nur wenn A und C auf logisch „1“ (V_{DD}) und B auf „0“ (Masse) liegen, leitet der p-Block und der n-Block des Gatters sperrt. Da der Ausgang nochmals invertiert wird, liegt F für diesen Fall dann auf logisch „0“.

Umgekehrt ist F für alle anderen Fälle „1“, wenn mindestens A auf „0“, C auf „0“ oder B auf „1“ liegt.

Erkennbar ist dies am einfachsten anhand der Serien- bzw. Parallelschaltung der Transistoren im n- und im p-Block.

- b) Wieviele Stufen sind im ungünstigsten Fall für eine Signalverzögerung verantwortlich? Formen Sie den algebraischen Ausdruck nach dem De Morganschen Gesetz um. Wieviele Stufen sind dann für die maximale Signalverzögerung verantwortlich?

Signale von den Eingängen A oder C benötigen jeweils drei Stufen bis zum Ausgang F.

Nach De Morgan ergibt sich $F = \overline{A \wedge \bar{B} \wedge C}$ oder $\bar{F} = A \wedge \bar{B} \wedge C$.

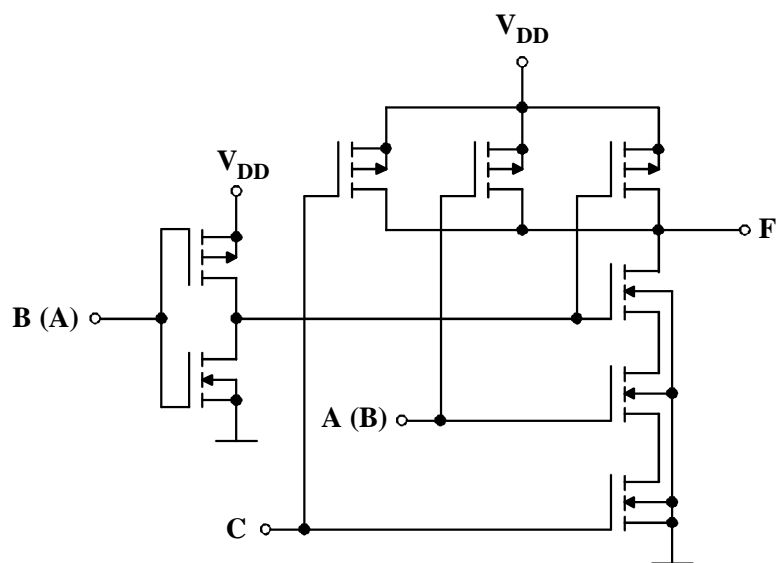
Es benötigt nur noch der Eingang B einen Inverter. Die maximale Verzögerung beträgt dann zwei Stufen.

- c) Konstruieren Sie die Schaltung nach dem umgeformten algebraischen Ausdruck. Geben Sie dabei die Formeln für die aus der Vorlesung bekannten p- und n-Blöcke an. Zeichnen Sie die Schaltung vollständig. Wieviele Transistoren sind damit eingespart worden?

p-Block: $f_P = \overline{A} \vee B \vee \overline{C}$

n-Block: $f_N = \overline{A \wedge B \wedge C}$

Nur B benötigt einen Inverter, um den Vorgaben zur Konstruktion zu entsprechen. Im p-Block werden dann A, B (invertiert) und C parallel, im n-Block A, B (invertiert) und C in Reihe geschaltet.



Für den Ersatzausdruck $F = \overline{A \wedge B \wedge C}$ sind jeweils A und B zu vertauschen (Bezeichnungen in Klammern).

Es sind insgesamt zwei Inverter, also vier Transistoren, eingespart worden.

Aufgabe 2

- a) Geben Sie die Werte der Reflexionsfaktoren an den Stellen A und D an und bestimmen Sie die Brechungskoeffizienten an den Stellen B und C sowohl für „hinlaufende“ (b_H) als auch für „rücklaufende“ Wellen (b_R).

$$r_A = \frac{Z_A - Z_1}{Z_A + Z_1} = \frac{50 \Omega - 50 \Omega}{50 \Omega + 50 \Omega} = 0,$$

$$r_E = \frac{Z_E - Z_3}{Z_E + Z_3} = \frac{150 \Omega - 75 \Omega}{150 \Omega + 75 \Omega} = 0,33,$$

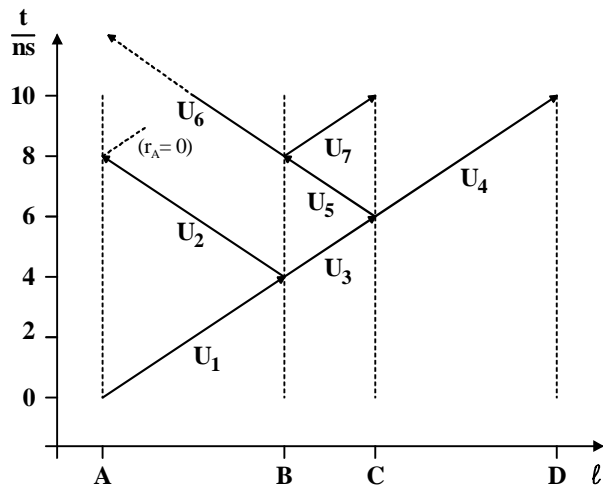
$$b_{H,B} = \frac{2 * Z_2}{Z_1 + Z_2} = \frac{2 * 100 \Omega}{50 \Omega + 100 \Omega} = 1,33,$$

$$b_{R,B} = \frac{2 * Z_1}{Z_1 + Z_2} = \frac{2 * 50 \Omega}{50 \Omega + 100 \Omega} = 0,67,$$

$$b_{H,C} = \frac{2 * Z_3}{Z_2 + Z_3} = \frac{2 * 75 \Omega}{100 \Omega + 75 \Omega} = 0,86,$$

$$b_{R,C} = \frac{2 * Z_2}{Z_2 + Z_3} = \frac{2 * 100 \Omega}{100 \Omega + 75 \Omega} = 1,14.$$

- b) Zeichnen Sie den Impulsfahrplan mit Angabe der Spannungswerte für die reflektierten und gebrochenen Impulse für den Zeitbereich $0 \text{ ns} = t = 10 \text{ ns}$.



$$U_1 = U_0 * \frac{Z_1}{Z_1 + Z_A} = 6 \text{ V}$$

$$U_2 = U_1 * (b_{H,B} - 1) = 2 \text{ V}$$

$$U_3 = U_1 * b_{H,B} = 8 \text{ V}$$

$$U_4 = U_3 * b_{H,C} = 6,86 \text{ V}$$

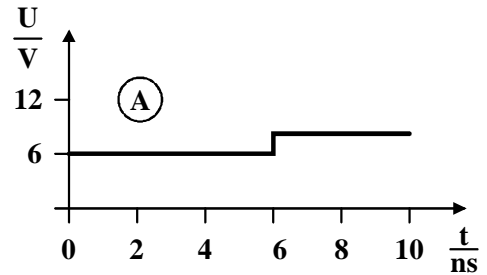
$$U_5 = U_3 * (b_{H,C} - 1) = -1,14 \text{ V}$$

$$U_6 = U_5 * b_{R,B} = -0,76 \text{ V}$$

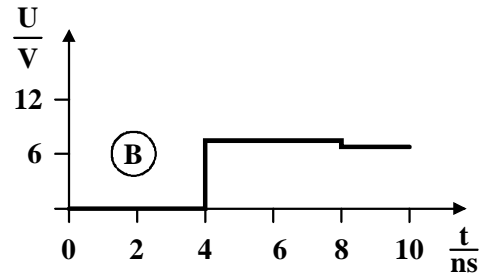
$$U_7 = U_5 * (b_{R,B} - 1) = 0,38 \text{ V}$$

c) Zeichnen Sie für den selben Zeitbereich den Verlauf der Spannung an den Stellen A, B und C.

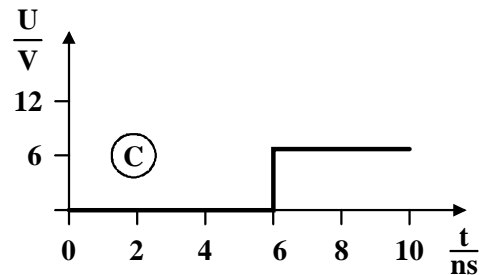
(A) 0...8 ns: $U_1 = 6 \text{ V}$
 8...10 ns: $U_1 + U_2 = 8 \text{ V}$



(B) 0...4 ns: $0 = 0 \text{ V}$
 4...8 ns: $U_3 = 8 \text{ V}$
 8...10 ns: $U_3 + U_6 = 7,24 \text{ V}$



(C) 0...6 ns: $0 = 0 \text{ V}$
 6...10 ns: $U_4 = 6,86 \text{ V}$



d) Um die gesamte Anordnung in Signalrichtung reflexionsfrei zu betreiben, sollen an den Stellen B, C und D zusätzliche Widerstände angebracht werden. Skizzieren Sie eine mögliche Anordnung und bestimmen Sie die nötigen Widerstandsgrößen. Eine Verringerung der Signalspannung am Ende der Leitung habe dabei keinen Einfluß auf die Schaltungsfunktion.

Von rechts nach links: 150Ω parallel zu Z_E entspricht Z_3 , 25Ω in Reihe mit Z_3 entspricht Z_2 , 100Ω parallel zu Z_2 entspricht Z_1 .

